

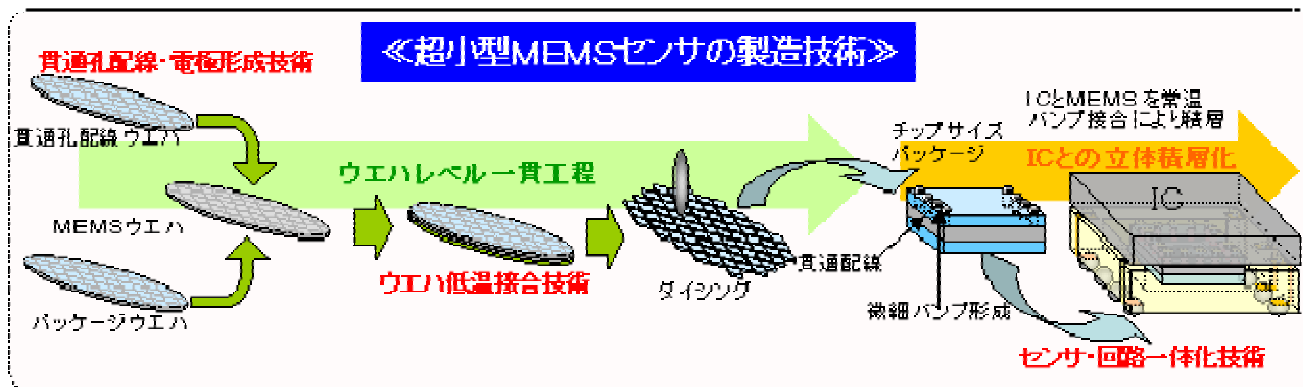
3. 各テーマの成果詳細

3.3 超小型MEMSセンサ製造技術開発

MEMSセンサの小型化、低コスト化とファンドリーサービス展開の為の製造技術の開発

(1) 研究概要

本研究開発は、MEMSセンサの小型低コスト化とファンドリーサービス展開のための製造技術開発を狙いとして、3つの革新プロセス技術を有するMEMS初のウエハレベルパッケージング一貫製造プロセスを構築することである。(図1)



<図1：ウエハレベルパッケージング>

この製造技術開発においては、センサを構成するMEMSウエハから電気信号を外部へ取り出す“貫通孔配線・電極形成技術”、シリコンウエハどうしを低応力でパッケージングする“ウエハ低温接合技術”、ICを立体積層化するための“センサ・回路一体化技術”、これらをウエハプロセス工程として構築する“ウエハレベルパッケージング一貫工程”を重点課題として、開発を進めた。

①貫通配線・電極形成技術

本技術開発の狙いは、超小型 MEMS センサ実現の為のウエハレベルパッケージング技術開発において必要不可欠であるセンサウエハの電気信号を外部に取り貫通孔配線・電極を実現することであり、その形状目標は、孔径 $10\mu\text{m}\phi$ 、深さ $500\mu\text{m}$ であった。

目標達成の為に、高アスペクトな貫通孔配線・電極形成に必要な装置を導入し、プロセス改善や条件の最適化を行い、一連の貫通孔配線・電極形成技術を開発した。

その結果、最終目標である孔径 $10\mu\text{m}\phi$ 、深さ $500\mu\text{m}$ の貫通孔配線・電極の形成を達成した。

更に、実センサへの応用検証を行うことで、量産可能な貫通孔配線・電極を実現した。

②シリコンウエハ低温接合技術

本技術開発の狙いは、超小型MEMSセンサを実現するため、MEMSセンサウエハと同種材料のシリコンウエハを用いて残留応力・残留歪を生じないウエハレベルパッケージング技術を開発することである。

最終目標とするシリコンウエハ常温直接接合（接合温度 25°C 、アライメント精度 $\pm 2\mu\text{m}$ ）を目指して、表面活性化によるシリコン-シリコン常温直接接合条件の最適化を実施し、目標（接合温度 25°C 、アライメント精度 $\pm 2\mu\text{m}$ ）を達成した。又、常温接合の技術を検証デバイスの試作に適用し、3軸加速度センサ、及び、ジャイロセンサの動作サンプルを作製し、開発目標を満足する特性を確認した。

③センサ・回路一体化実装技術の開発

本技術開発の狙いは、超小型センサを実現するため、MEMS技術によって作られたセンサと信号処理用ICチップを、低ストレスで一体化する技術を開発することである。

そのために、金スタッドバンプへのプラズマ表面活性化法を用いた常温バンプ接合技術を開発し、MID

(Molded Interconnect Devices: 立体回路形成基板) 基板への低ストレスなセンサ・回路一体化実装を実現した。またセンサ小型化に必要な小径バンプ形成工法を開発し、目標であるバンプ径 $\Phi 30 \mu\text{m}$ 程度のスタッドバンプ形成を実現した。

④MEMSウエハレベルパッケージング一貫工程開発

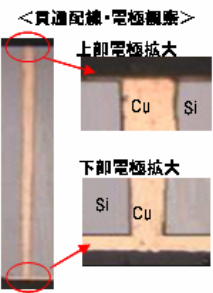
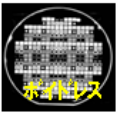
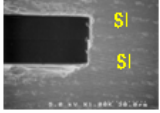
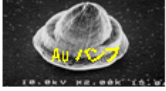

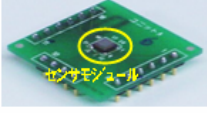
(a)3軸加速度センサ

本開発では、超小型3軸加速度センサチップの設計および試作開発、センサ信号処理用ICの設計および試作開発を行うとともに、それらを用いてウエハレベルパッケージング技術によるMEMSセンサの小型化検証を行った。

(b)ジャイロセンサ

本開発では、ジャイロセンサについても同様に小型センサチップの設計および試作開発、センサ信号処理用ICの設計および試作開発を行い、それらを用いてウエハレベルパッケージング技術によるMEMSセンサの小型化検証を行った。

上記の①貫通配線・電極形成技術、②シリコンウエハ低温接合技術、③センサ・回路一体化実装技術の開発、④MEMSウエハレベルパッケージング一貫工程開発の各課題に対する研究開発を推進した結果、最終の目標を達成する事ができた。各課題の目標と達成状況を表1にまとめる。

開発項目	①貫通孔配線・電極形成技術	②シリコンウエハ低温接合技術	③センサ・回路一体化実装技術	④MEMSウエハレベルパッケージング一貫工程の構築
目標	◇貫通孔配線・電極 ・径 $10 \mu\text{m}$ ・深さ $500 \mu\text{m}$	◇低温接合:常温 ◇アライメント精度: $\pm 2 \mu\text{m}$	◇低温実装:常温 ◇小型バンプ:径 $30 \mu\text{m}$	◇一貫工程構築し、超小型センサで検証 ・コスト1/2 ・パッケージ/チップ体積従来比1/10以下
開発成果	◆径 $10 \mu\text{m}$ 深さ $500 \mu\text{m}$ の貫通孔配線電極を実現 ◆実センサに応用展開し、センサの動作を確認 <貫通配線・電極観察> 	◆表面活性化によりSiウエハ常温接合を実現 ・アライメント精度 $< \pm 2 \mu\text{m}$ ◆実センサに応用展開し、センサの動作を確認 <接合界面観察>  <Si-Si接合断面観察> 	◆活性化フリップチップ工法により常温接合を実現 ・バンプ径 $30 \mu\text{m}$ ◆実センサに応用展開し、センサの動作を確認 <小径スタッドバンプ>  <Au-Au接合断面観察> 	◆ウエハレベルパッケージングの一貫工程を構築し、コスト1/2を実現 ◆加速度センサ ・パッケージ/チップ体積従来比 $< 1/10$ <加速度センサモジュール> 

<表1: 各課題の開発目標と達成状況>

(2) 成果詳細

① 貫通配線・電極形成技術

i) 貫通孔形成

高アスペクト貫通孔エッチングを実現する為に、Deep-RIE装置を用いた独自のプロセスレシピの開発と最適化により、最終目標である孔径 $10\ \mu\text{m}$ ϕ 、深さ $500\ \mu\text{m}$ の高アスペクト貫通孔形成を実現した。エッチング形状の一例を図 2 に示す。加工精度は、 $\pm 2\sim 3\ \mu\text{m}$ であり実用化可能な制御範囲にある。

ii) 貫通孔配線・電極

貫通孔への配線充填材料およびその充填方法として、Cuめっき法を選定した。

この Cuめっき法を用い、最終目標である孔径 $10\ \mu\text{m}$ ϕ 、深さ $500\ \mu\text{m}$ の貫通孔への配線充填について検討した。

孔径 $10\ \mu\text{m}$ ϕ 、深さ $500\ \mu\text{m}$ の貫通孔への Cu 充填を行い貫通孔配線・電極を形成した

例を図 3 に示す。Cu が貫通孔に対しボイドなく完全に埋め込まれており、良好な配線が形成できている。また、貫通孔の気密性は Heリークテストの結果、測定限界以下であることが確認できた。これらのことより、実センサデバイスへの応用が十分に可能であると言える。

また歩留まりについては、ウェハ面内へ均等に配置した貫通孔チェーン TEG(テスト素子)で評価した結果、断線および抵抗の異常値も無く、高歩留まりの結果が得られた。

更に、TEGにて熱衝撃試験)、高温放置試験、低温放置試験等を行い電気特性、気密性に変動のないことを確認した。

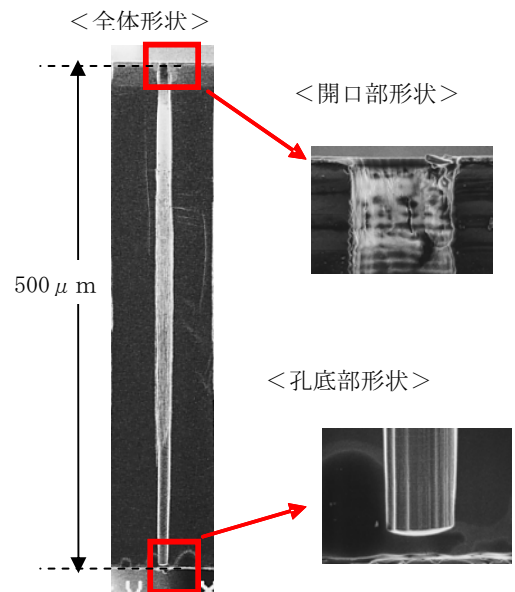
以上の結果より、最終目標である孔径 $10\ \mu\text{m}$ ϕ 、深さ $500\ \mu\text{m}$ の貫通孔への完全埋め込みが Cuにて達成できたこと、また TEG 評価にて電気的特性および、歩留まり、信頼性に問題が無いことが確認できたことで、実センサデバイスへの適応が可能で、量産可能な貫通孔配線・電極形成技術の開発ができたと言える。

さらに、本技術を検証デバイスへ適用し、3軸加速度センサ、及び、ジャイロセンサの動作サンプルを作製し、開発目標を満足する特性を確認した。

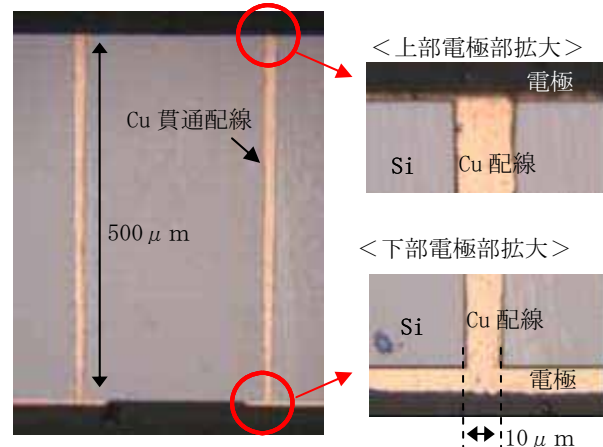
② シリコンウェハ低温接合技術

本技術開発の狙いは、超小型MEMSセンサを実現するため、MEMSセンサウエハと同種材料のシリコンウエハを用いて残留応力・残留歪を生じないウエハレベルパッケージング技術を開発することである。本技術開発を推進するために、種々の中間層を介したシリコン-シリコン低温接合技術開発、及び、常温接合のための表面活性化接合技術開発を実施し、接合特性の評価、比較検討結果より、ウエハレベルパッケージングに最適な接合方法として、表面活性化によるシリコン-シリコン常温直接接合方法を選定した。

表面活性化条件等を最適化した結果、接合特性として、接合強度 $> 10\text{kgf}/\text{mm}^2$ 、アライメント精度 $< \pm 2\ \mu\text{m}$ 、ボイドレス接合を実現した。(表 3 参照) また、接合部の信頼性については、熱衝撃試験、



<図2：最終エッチング形状>

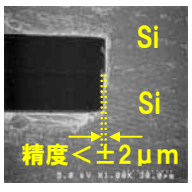


<図 3：孔径 $10\ \mu\text{m}$ ϕ 、深さ $500\ \mu\text{m}$ の貫通孔配線・電極>

高温放置試験、低温放置試験により、気密性、接合強度に有意な変化が無い事を確認した。

以上の様に、ウエハレベルパッケージングに最適な表面活性化による常温接合技術を開発し、最終開発目標（接合温度 25℃、アライメント精度 ± 2 μm）を達成するとともに、歩留り、接合信頼性に問題ないことを確認した。

さらに、本技術を検証デバイスへ適用し、3 軸加速度センサ、及び、ジャイロセンサの動作サンプルを作製し、開発目標を満足する特性を確認した。

評価項目	接合材料	常温直接接合
アライメント精度		$< \pm 2 \mu\text{m}$ 
接合強度		$> 10\text{kg}/\text{mm}^2$
総合評価		○

<表 2：常温接合の接合特性の評価結果>

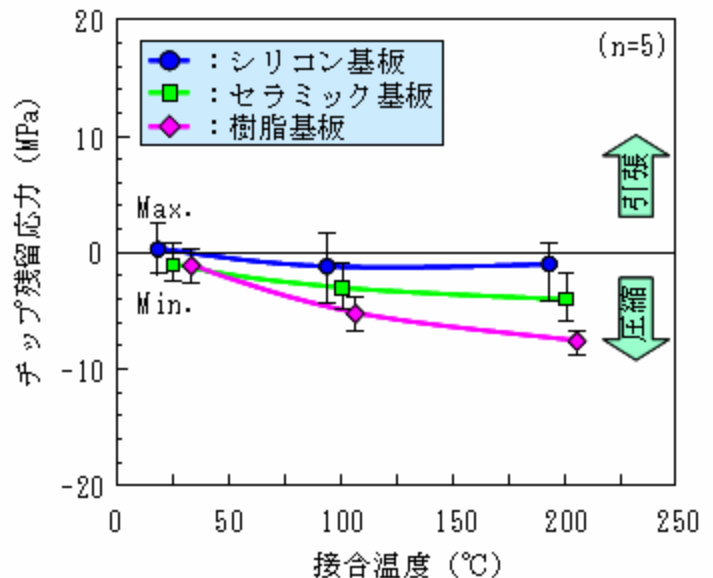
③センサ・回路一体化実装技術の開発

i) 常温バンプ接合技術

バンプを形成したチップと回路基板とをプラズマ表面活性化処理後に常温にてバンプ接合する技術を開発した。

線膨張係数の異なる基板にチップをバンプ接合し、チップに発生する残留応力を接合温度の変化とともに測定した結果を図4に示す。

接合温度が常温の場合、基板材質にかかわらずチップ残留応力が発生しておらず(±2MPa以下)、常温で実装することによりチップと線膨張係数の異なる基板に低ストレスで実装可能なことが検証できた。



<図 4：チップ残留応力測定結果>

ii) 小型化のためのフリップチップ実装工程

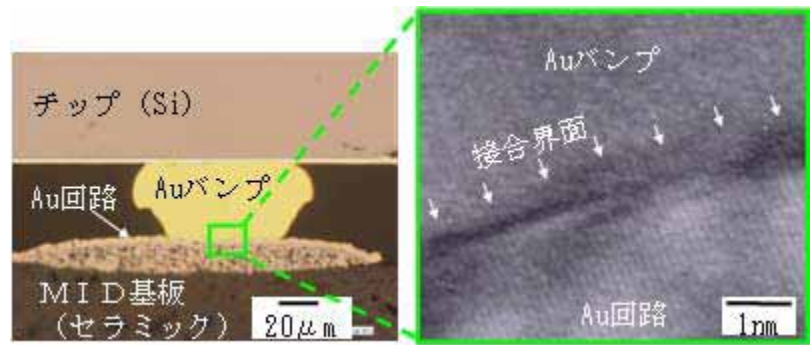
金バンプの形成方法としてスタッドバンプ法を検討し、ボンディング荷重、超音波発振強度等を最適化することにより、バンプ径 φ 30 μm 以下のスタッドバンプ形成を実現した。バンプ外観を図5に示す。



<図 5：小径スタッドバンプ>

iii) MIDによる回路配線の3次元化

金スタッドバンプを形成したチップとMID基板とをプラズマ表面活性化処理後に常温にてバンプ接合し、接合強度10kgf/mm²以上、バンプ接続抵抗も100mΩ以下の良好な接合を実現した。バンプ接合断面の光学顕微鏡写真とTEM写真を図6に示す。金バンプ側の金格子縞と金めっき電極側の金格子縞が接合界面で交差しており、接合界面において界面層およびボイド等の存在が認められないことから、両側の金粒子は密着し、良好に金属接合できていることが確認できる。



<図6：バンプ接合断面>

表面活性化常温バンプ接合における影響因子の明確化および条件管理範囲の検討により、実装条件の最適化を行った。その条件下で実装したサンプルのチップ接合強度とバンプの電気的導通を測定した結果、全て接合強度10kgf/mm²以上、バンプ接続抵抗100mΩ以下であった。

また、リフロー後に熱衝撃試験、高温放置試験、低温放置試験等に対しても接続信頼性を維持していることを確認した。

さらに、本技術を検証デバイスへ適用し、3軸加速度センサ、及び、ジャイロセンサの動作サンプルを作製し、開発目標を満足する特性を確認した。

④MEMSウエハレベルパッケージング一貫工程開発

(a) 3軸加速度センサ

設計したセンサチップは十字型の極薄ビームの中央に重りを吊り下げた構造のピエゾ抵抗式加速度センサで、応力シミュレーションによりチップサイズを最小にする設計を行った。その重要パラメータである薄いビームを高精度に形成するためのプロセスとしてSOI (Silicon On Insulator) ウエハ構造を活用したシリコンエッチングストップ法を用いた。

試作・開発したセンサチップのサイズは約2mm²で、1チップでX、Y、Zの3軸方向の加速度検出が可能である。本センサチップを標準的なパッケージに実装して、導入した特性評価装置にて測定した結果、ほぼ狙いとする出力特性が得られた。

一方、本センサチップの出力信号を増幅・調整するため、信号処理ICの開発を行なった。設計した回路は、完全差動の低ノイズDC増幅回路とゲイン調整用プログラマブルアンプ、およびオフセット調整用DA変換回路などから構成され、センサチップの微小な電圧信号を増幅し、ばらつきを調整して所定の性能を達成できるようにした。

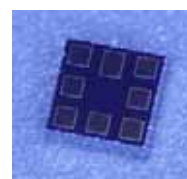
開発した3軸加速度センサチップおよび信号処理ICを用いて、「貫通孔配線・電極形成技術」、「ウエハ常温接合技術」および「センサ・回路一体化実装技術」からなるウエハレベルパッケージング技術応用のMEMSセンサを製作した。具体的には、試作・開発したセンサウエハに貫通配線を形成したウエハとパッケージウエハを3層で常温接合することによりウエハレベルで低応力、高気密にパッケージングし、チップ個片に切り出すことで小型のチップサイズパッケージセンサエレメントを実現した。

(図7)

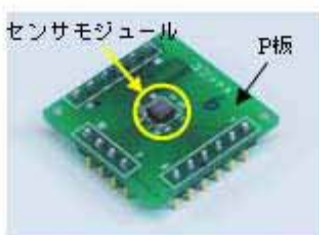
また、ICとセンサエレメントを常温バンプ接合にて低応力に立体積層実装することにより、センサと回路を一体化した小型センサモジュールを実現

した。(図8)本センサモジュールの特性は、図9に示す通り、感度：0.5V/G、オフセット電圧：

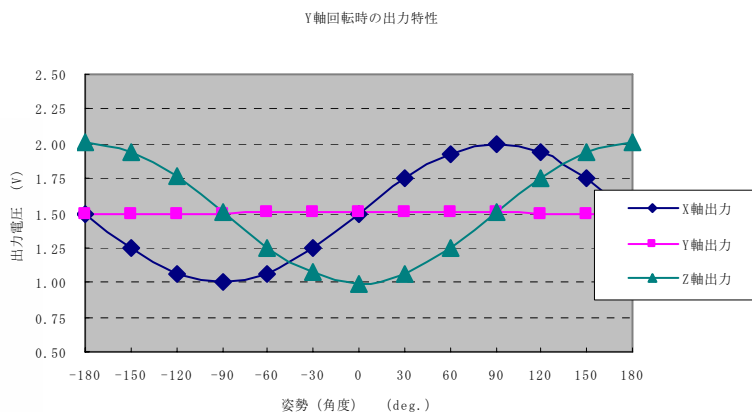
1.5V、他軸感度：±2%と目標の出力が得られ、本開発の狙いとする低応力なパッケージング技術の妥当性が確認された。センサモジュールのサイズは業界最小レベルであり、パッケージ/チップ体積従来比は目標である1/10以下を達成した。



<図7：小型センサエレメントの外観写真>



<図8：小型センサモジュールの外観写真>

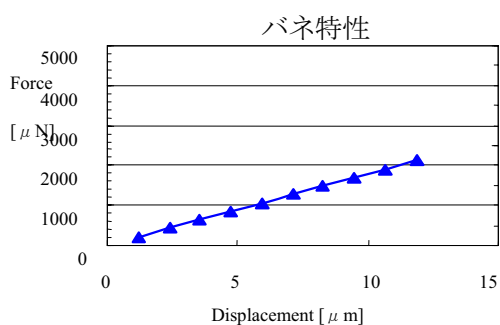
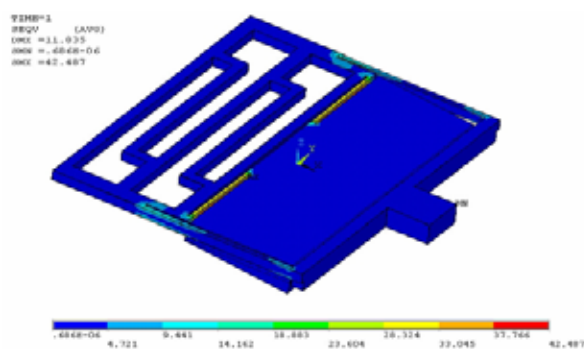


<図9：センサモジュールの出力特性>

(b) ジャイロセンサ

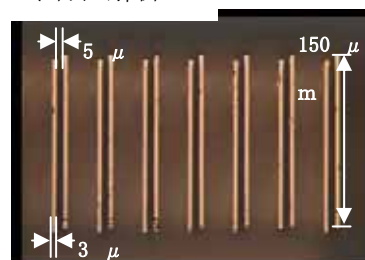
設計したセンサチップは静電駆動/静電検出方式の片持ち梁構造で、チップは小型でありながら高感度センシングを実現する為に、検出部は5μm間隔のくし歯型平行平板コンデンサとし、駆動部は大きな駆動力を得る為の大面积平行平板コンデンサで構成した。図10に、静電力により振動する駆動部のバネ特性を示す。

また、微小間隔のくし歯型平行平板コンデンサを形成するために、導入したD-RIE装置を用いて、深さ150



<図10:センサチップの応力解析とバネ特性解析>

μmで、間隔5μmの高アスペクト比(アスペクト比30)シリコンエッチングプロセスを開発し、側壁垂直性を有するくし歯構造を実現した。(図11)さらに、上記の設計と櫛歯形成プロセスを用いて、センサチップの試作を行った。



<図11:くし歯構造の断面写真>

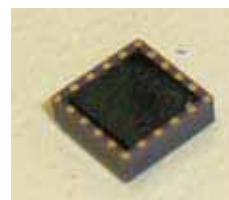
一方、センサ感度10mV/deg/sec, 分解能±1.0deg/secを狙い共振振動制御回路および微小容量検出回路の開発も行った。

開発したジャイロセンサチップおよび信号処理ICを用いて、3軸加速度センサと同様に小型センサモジュールを実現した。(図12)

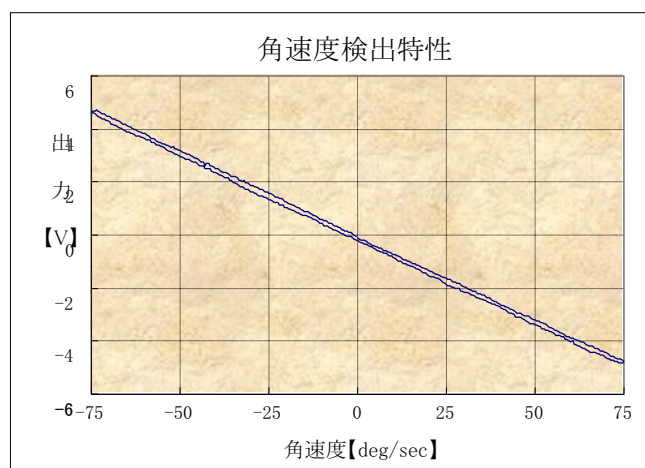
センサモジュールのパッケージ/チップ体積従来比は、目標である1/10以下を達成し、従来品と比較して、飛躍的な小型化を達成している。

本センサモジュールの特性は、感度：10mV/deg/sec以上, 精度：±1deg/sec以下と目標のセンサ出力が得られた。(図14)

これにより、本開発の狙いとする低応力な超小型パッケージング技術の妥当性を確認することができた。



<図12:小型センサモジュール外観写真>



<図14:センサモジュール出力特性>

(3) 成果の意義

①貫通配線・電極形成技術

孔径10 μm、深さ500 μmという世界最高水準の高アスペクト(50)貫通孔配線を形成するMEMSプロセス技術を開発した。実用レベルの深さ200 μmの貫通孔配線においては、量産に適した工程を構築し、高歩留まり、且つ信頼性を確保した製造技術を開発した。

又、世界初のウエハ常温接合技術とあわせて、貫通孔配線を有するウエハのウエハレベルパッケージングにおいて気密性を確保した。

この成果により、貫通配線を通してセンサ信号を伝送できるウエハレベルパッケージング、及び、それによるMEMSデバイスの超小型、低コストが可能となり、MEMS市場の拡大が期待できる。

又、貫通配線技術は、MEMSデバイスに限らず、LSIの3次元配線を含め他デバイスへの応用可能であり、新規小型、高集積デバイスへの展開が期待できる。

②シリコンウエハ低温接合技術

MEMS分野で初めて、常温接合を用いたウエハレベルパッケージング技術を開発し、接合界面の残留応力が低減可能なことを実証した。

この成果により、低応力接合によるセンサの高精度化、ウエハレベルパッケージングによる小型化、低コスト化を同時に実現できることにより、MEMS市場の拡大が期待できる。

又、表面活性化常温接合技術は、MEMSのパッケージングに限らず、LSIの3次元実装、MEMSとLSIとの積層化、異種基板積層へ応用可能であり、種々の新規小型、高集積デバイス、パッケージへの展開が期待できる。

③センサ・回路一体化実装技術の開発

MEMS 分野で初めて、3次元立体回路(MID)基板に MEMS センサと IC チップを低ストレスかつ超小型に一体化する常温バンプ接合技術を開発した。

この成果により、パッケージ/センサチップ体積比を従来比1/10以下にすることが可能となり、MEMS の小型化特徴を活かしたデバイス造出が実現可能となるため、MEMS 市場の拡大が期待できる。

又、常温バンプ接合技術は、MEMS デバイス以外のLSIとの積層化等へ応用可能であり、種々の新規小型、高集積デバイス、モジュール、パッケージへの展開が期待できる。

④MEMSウエハレベルパッケージング一貫工程開発

(a)3軸加速度センサ

世界初のウエハレベルに気密封止された3軸加速度センサモジュールを作製し、①貫通配線・電極形成技術、②シリコンウエハ低温接合技術、③センサ・回路一体化実装技術の実用化を検証した。

(b)ジャイロセンサ

世界初、世界最小のウエハレベルに気密封止されたジャイロセンサエレメント、ジャイロセンサモジュールを作製し、①貫通配線・電極形成技術、②シリコンウエハ低温接合技術、③センサ・回路一体化実装技術の実用化を検証した。

上記2種類のデバイスで検証したセンサと IC との一体化プロセスを含むウエハレベルパッケージング一貫工程は、種々の MEMS デバイス、モジュールの超小型、低コストを可能にする応用性がある技術であり、MEMS市場の拡大が期待できる。

又、開発したウエハレベルパッケージング一貫工程をベースにして、MEMS デバイス、モジュール以外の種々の新規小型、高集積デバイス、パッケージへの展開が期待できる。

(4)特許の取得

開発技術を活用した事業を確保するため、直近の事業展開、および将来の事業化態様を通して開発技術を多角的に捉え、事業を護るための知財を国内外で戦略的に出願した(国内:82件、外国:6件)。

また、事業化に向けて適切な内容及び時期での権利化を図るべく、事業化計画に即した戦略的な権利化を推進中であり、直近の事業化に直結するものに関しては、特許庁へ早期審査の請求と審査官との面談により早期権利化を働きかけている。

(5)成果の普及

研究成果の発表は、3つの要素技術に関して国際学会を含む学会や研究会、シンポジウムにて計5件の発表を行った。

貫通孔配線・電極形成技術は、国際学会である INTERNATIONAL DISPLAY WORKSHOPS (IDW'06、2006年12月、大津)の Optical MEMS and Sensors のセッションにて「Through-Hole Interconnection in Si Substrate for Wafer Level Package」の題目でウエハレベルパッケージング実現のためのウエハ貫通孔配線技術の口頭発表を行った。

シリコンウエハ低温接合技術では、応用物理学会主催の国際学会である The International Conference on Solid State Devices and Materials (SSDM、2006年9月、横浜)の MEMS and NEMS : Fabrication のセッションにて「MEMS Wafer Level Packaging by Using Surface Activated Bonding」の題目でウエハレベルパッケージング実現のためのウエハ低温接合技術の口頭発表を行った。本学会は、半導体、電子デバイスの学会として国際的に認知され、国内外の主要メーカー、研究機関からの参加、発表がある。特に、本年は、オープニングセッションで、東北大、江刺教授より、MEMS 技術に関する講演があり、MEMS 技術を、半導体、電子デバイスメーカー

に広く情報発信するのに適している。

センサ・回路一体化実装技術では、溶接学会のマイクロ接合研究委員会シンポジウム(Mate2005、2005年2月、横浜)のデバイス実装のセッションにて「表面活性化常温フリップチップ実装プロセスの開発」の題目で表面活性化法を用いた低ストレス常温実装技術に関する口頭発表、論文投稿を行った。また、翌年の同シンポジウム(Mate2006、2006年2月、横浜)の微細接合のセッションにて「セラミックス基板への表面活性化常温フリップチップ実装プロセスの開発」の題目で常温実装技術のセラミックス基板への適用に関する口頭発表、論文投稿を行った。本シンポジウムはエレクトロニクスにおけるマイクロ接合・実装技術分野で国内最大のシンポジウムである。さらに、合同マイクロメカトロニクス実装研究会(2005年11月、京都)においても「表面活性化常温接合を用いたMEMS低応力実装法」の題目でMEMS機能を最大限に活かすための常温実装技術に関する口頭発表を行った。本研究会はマイクロメカトロニクス委員会(エレクトロニクス実装学会)、ナノ・MEMS実装技術研究会およびMEMS商業化技術専門委員会(精密工学会)の3部門合同の研究会であり、国内のMEMS主要関連企業、MEMS主要研究機関が一同に会する研究会である。

研究成果を展示会にてPRし、ファンドリー事業への応用展開を目指したニーズ調査を行った。

日本国内におけるMEMS関連展示会で最大のマイクロマシン展(第14回:2003年11月、第15回:2004年11月、第16回:2005年11月)をはじめ、国際ナノテクノロジー総合展(nano tech2004:2004年3月、nano tech2005:2005年2月、nano tech2006:2006年2月)、海外展示会であるドイツ国際見本市(ハノーバーメッセ、2006年4月)へとプロジェクト期間中に計7回出展し、成果の普及とファンドリーサービスの拡大に努めた。展示会の様子を写真1、写真2、写真3に示す。

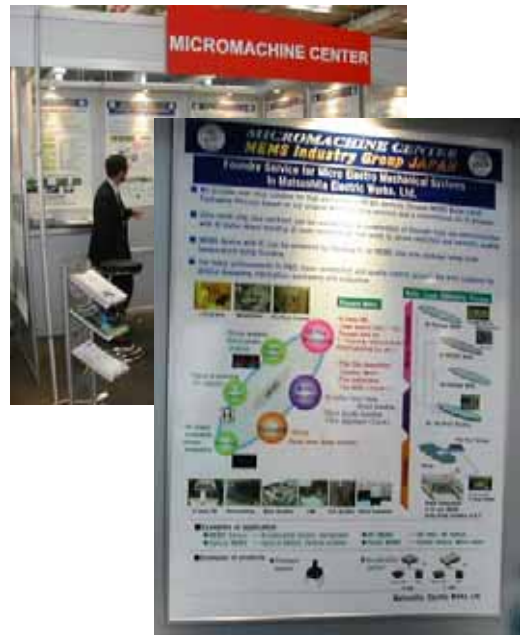
展示会での来場者の関心は、技術の革新性・新規性により、貫通孔配線・電極形成技術やウエハ常温接合技術、それらを用いたウエハレベルパッケージング技術、常温バンプ技術が高く、MEMSパッケージの小型化、低コスト化に対する各社の課題、ニーズを収集し、本プロジェクトの技術開発の有用性を確認することができた。

さらに、ウエハレベルパッケージング技術は、弊社独自の特徴ある技術として本年度よりPRの強化を行い、ファンドリー事業の受注活動を本格的に開始した。第17回マイクロマシン展(2006年11月)での出展ポスター(図16)と弊社ホームページでのウエハレベルパッケージングのPR事例(図17、2006年9月より)を次に示す。

平成18年4月～10月の期間において、本技術開発、及び導入設備に関わるファンドリー引き合い件数比率は、昨年度に比べ2倍の18%に増加しており、本技術の普及効果が確認できる。



<写真1：マイクロマシン展、科学技術館>



<写真3：ドイツ国際見本市：ハノーバーメッセ>



<写真2：国際ナノテクノロジー総合展、東京ビッグサイト>

<図16：第17回マイクロマシン展 ウエハレベルパッケージング展示ポスター>

▶ ファンドリーの特徴

▶ これまでのMEMS開発実績

▶ 開発フェーズ

▶ サービスの流れ

新しいウエハレベルパッケージング

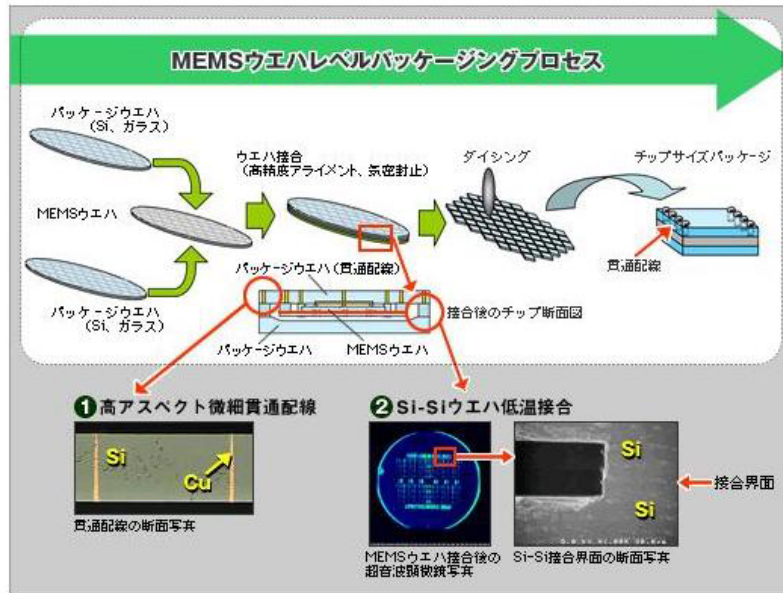
▶ プロセスメニュー（工程一覧）

▶ まずはご相談ください

MEMSファンドリーサービス

新しいウエハレベルパッケージング技術

- 貫通配線を形成したパッケージウエハとMEMSウエハの低温接合
- シリコン/シリコン接合による内部応力の低減が可能です。
- 気密封止されたチップサイズパッケージを実現します。



※本技術開発はNEDOから助成を受けて実施したものです

<図 1 7 : MEMSファンドリーサービスホームページ ウエハレベルパッケージング>

<http://www.mew.co.jp/mems>

IV. 実用化、事業化の見通しについて

(1) 成果の実用化可能性

開発した3技術（貫通配線・電極形成技術、シリコンウエハ低温接合技術開発、センサ・回路一体化実装技術）に関しては、MEMSデバイスに適応するための必要な基本初期特性を確認し、更に、各種信頼性試験を実施して、特性の変動がなきことも確認しており、既に、産業技術として有効な段階であるといえる。

平成18年9月から、ファンドリーサービスにて、MEMSウエハレベルパッケージング技術としてホームページに掲載し、受注活動を本格的に開始した。

また、前記3技術を用いて、3軸加速度センサ、ジャイロセンサの2種類の検証デバイスを実現する一貫工程も開発し、3軸加速度センサ、ジャイロセンサの初期特性を満足することも実証し、実MEMSデバイスへの適応性も検証できている。

なお、検証デバイスを含めたMEMSセンサの実用化に対して、多数枚処理時の各工程の安定化検証、及び、各種信頼性試験による特性評価を実施し、品質の安定性を確認検証する予定である。

(2)波及効果

開発した4技術は、2種類の検証デバイスで実証したように、MEMS分野で初めて、ウエハレベルでパッケージングすることにより、MEMSの小型、低コスト化を実現する技術であり、MEMSセンサはもとより、センサ以外のMEMS分野への適応をファンドリーサービスを通じて展開することにより、MEMS市場の更なる拡大に寄与できる。

特に、小型化が要求される携帯機器(携帯電話、携帯型音楽プレーヤー、ハードディスク搭載モバイル機器)用センサ、及び、安全、安心を狙いとしたネットワーク機器に市場拡大に有効である。

又、ファンドリー引き合い件数の増加とともに、ユーザも、従来の大企業から中小企業に確実に拡大しており、こうしたファンドリーユーザが、自社で高額な設備の投資とプロセス開発に多数の人員を投資することなく、MEMSを適度の開発コストで早期に調達できることを可能にし、MEMSの研究開発、並びに、MEMS応用商品を含む革新的な商品造出に寄与し、我が国の製造業の発展を大幅に加速できることと考える。

(3)事業化までのシナリオ

当社は、既に商品化している圧力センサと加速度センサを核に、本技術開発成果を応用した特徴ある次世代MEMS商品群を創出することによりMEMS事業の拡大を図る。